

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 55055621  
PUBLICATION DATE : 23-04-80

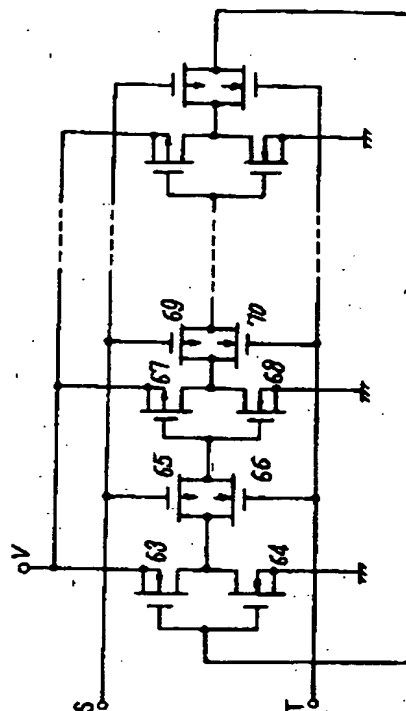
APPLICATION DATE : 18-10-78  
APPLICATION NUMBER : 53128965

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : HIGUCHI SADASHI;

INT.CL. : H03K 3/02 H03K 3/354 H03K 3/42

TITLE : OSCILLATOR



**ABSTRACT :** PURPOSE: To freely control the oscillation frequency, by inserting the delay element in the ring oscillator in ring connection and controlling this delay time.

CONSTITUTION: The oscillator is constituted with the P-channel MOS transistors 63, 65, 67 and 69 and N-channel MOS transistors 64, 66, 68 and 70 and the inverter is constituted with transistors 63, 64 and 67, 68. Further transistors 65, 66, 69 and 70 are used for the delay element and negative potential S and positive potential T are applied. With this constitution, by changing the amplitude of potential, the delay time is changed on the amplitude and accordingly, the oscillation frequency of the ring oscillator is changed. Thus, the unit can be incorporated into one chip and small size and low cost can be achieved. Further, if the control signal fed to the gate of transistors is changed to light, it is most suited to the sun-ray monitor.

COPYRIGHT: (C)1980,JPO&Japio

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開

昭55—55621

⑤ Int. Cl.<sup>3</sup>

H 03 K 3/02  
3/354  
3/42

識別記号

庁内整理番号

6647—5 J  
6243—5 J  
6243—5 J

⑬ 公開 昭和55年(1980)4月23日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ 発振装置

① 特 願 昭53—128965

② 出 願 昭53(1978)10月18日

⑦ 発 明 者 川上秀彦  
川崎市多摩区生田4896番地松下  
技研株式会社内

⑧ 発 明 者 志賀一雅  
川崎市多摩区生田4896番地松下  
技研株式会社内

⑦ 発 明 者 山下暉夫

川崎市多摩区生田4896番地松下  
技研株式会社内

⑦ 発 明 者 樋口禎志

川崎市多摩区生田4896番地松下  
技研株式会社内

⑨ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑬ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

発振装置

2. 特許請求の範囲

1 奇数個のインバータを環状接続したリングオシレータの接続回路内に信号遅延素子を少なくとも1個挿入し、この信号遅延素子の信号遅延伝搬時間を制御してリングオシレータの発振周波数を制御することを特徴とする発振装置。

2 信号遅延素子がインバータと同数設けられ、各インバータに隣接して挿入された特許請求の範囲第1項記載の発振装置。

3 信号遅延素子がトランジスタを含む回路で構成され、このトランジスタのゲートに印加される電圧またはベースに流入する電流の量を制御して信号遅延伝搬時間を制御することを特徴とする特許請求の範囲第1項記載の発振装置。

4 信号遅延素子の信号遅延伝搬時間を光の強弱により制御することを特徴とする特許請求の範囲第1項記載の発振装置。

2 ページ

5 トランジスタがMOSトランジスタである特許請求の範囲第3項記載の発振装置。

6 MOSトランジスタのゲートに印加する電圧が光起電圧である特許請求の範囲第5項記載の発振装置。

3. 発明の詳細な説明

本発明は、発振周波数の制御可能なリングオシレータ発振装置に関する。

リングオシレータとは、第1図の如く、奇数個  $(2n+1)$  のインバータ10を環状接続して構成されるもので、その発振周波数  $f_1$  はインバータの信号遅延伝搬時間を  $\tau_{d1}$  とすると、

$$f = \frac{1}{2(2n+1)\tau_{d1}}$$

となる。

このような構成のリングオシレータでは、その発振周波数はインバータ10の構成および数によって決まると一定であり、発振周波数を可変とすることができない。

本発明は、このような欠点を除去せんとするもので、環状縦横に接続されたリングオシレータ内に少なくとも1個の遅延素子を挿入し、この遅延素子の遅延時間を制御することによりリングオシレータの発振周波数を自由に制御するようにしたものである。以下図面とともに詳細に説明する。

第2図は $(2n+1)$ 個の信号遅延伝搬時間の等しい遅延素子20をインバータ10に対して1対1に挿入した場合の実施例を示す。この場合の発振周波数 $f_2$ は、遅延素子20の信号遅延伝搬時間を $\tau_{d2}$ とすると、

$$f_2 = \frac{1}{2(2n+1)(\tau_{d1} + \tau_{d2})}$$

となる。

また、第3図に示す様に信号遅延時間のそれぞれ異なる遅延素子1, 2, …… $2n+1$ を $2n+1$ 個挿入した場合は $k$ 番目の遅延素子の信号遅延時間を $\tau_{d3k}$ とすると、リングオシレータの発振周

波数 $f_3$ は

$$f_3 = \frac{1}{2[(2n+1)\tau_{d1} + \sum_{k=1}^{2n+1} \tau_{d3k}]}$$

となる。

第2図、第3図の実施例は共に、信号遅延素子20, 1, 2, ……の数をインバータ10の数と等しくし、かつインバータ10の段間に1個ずつ挿入されているが、必ずしも数を等しくする必要はなく、また、インバータ10の段間に1個ずつ挿入する必要はない。仮りに信号遅延素子の数を $m$ 個とすれば、

$$f_2' = \frac{1}{2[(2n+1)\tau_{d1} + m\tau_{d2}]}$$

$$f_3 = \frac{1}{2[(2n+1)\tau_{d1} + \sum_{k=1}^m \tau_{d3k}]}$$

となる。

遅延素子20, 1, 2, ……の遅延伝搬時間 $\tau_{d2}$ が $\tau_{d3k}$ がインバータの遅延伝搬時間 $\tau_{d1}$ と同程度か、十分に長ければリングオシレータの発振周波数 $f$ は挿入された遅延素子20, 1, 2, ……によって実質的に制御される。

挿入された遅延素子によるエネルギー損失での発振停止を避けるためには遅延素子20, 1, 2, ……を第2図、第3図に示す様にインバータ10の各段間に分割して挿入し、遅延素子20, 1, 2, ……のエネルギー損失を分散させるとよい。この場合各段間に挿入された遅延素子20, 1, 2, ……によるエネルギー損失がインバータ10の利得を上まわらない範囲に限定されなければならない。

遅延素子20, 1, 2, ……は第4図に示すMOS電トランジスタで構成することができる。この場合の遅延伝搬時間は、およそ浮遊容量 $C'$ とゲート電圧によって制御可能な抵抗 $R'$ によって $\tau_{d2} = \frac{1}{R'C'}$ となる。従って、ゲート電圧を変えることによって遅延時間を大巾に変えることができ

る。この場合 $C'$ 、及び $R'$ はトランジスタの構造で定まり、集積回路で構成した場合、一義的に定めることができる。

遅延素子として第4図に示すMOS型トランジスタを用いた場合の発振の様子を第5図に示す。トランジスタが十分導通する様な電位をゲートに印加（電位の絶対値が大きい方向）すると発振周波数は、遅延素子が挿入されていない場合の発振周波数 $f_1$ に近し、トランジスタが非導通方向に向うに従って発振周波数は低くなる。

この場合、トランジスタの導通抵抗があまり大きくなると信号伝搬が困難となり、発振は停止する。第6図にCMOS集積回路による実際の応用例を示す。同図中、63, 65, 67, 69はPチャンネルMOSトランジスタ、64, 66, 68, 70はNチャンネルMOSトランジスタを示す。トランジスタ63, 64および67と68でそれぞれインバータを構成し、トランジスタ65, 66及び69と70で遅延素子を構成する。遅延素子は負の電位をS、正の電位をTに印加することに

よって、その電圧の大きさに応じて遅延時間を変えることができ、従ってリングオシレータの発振周波数が制御される。

第7図に本発明を応用した日焼け監視装置の一実施例を示す。一般に、日焼けとは紫外線中、特に2900Å~3200Åの波長域のドルノー光線と皮膚との光線感受度との関連によって起るものであるから、人体の日焼けを監視する場合の構成としては、検出素子としての紫外線強度のレベルを検出し、これに応じて得られた起電圧、電流等を周波数に変換し、これを基準時間に応じて計数する処理回路を設けることによって、表示素子に前記光線の照射蓄積量を表示することが可能である。第7図において、71はフォトセルで、これは光線の強さに応じて起電力を生ずるもので、この素子の負荷特性により、太陽光線中紫外線の強度に比例した出力電圧を得ることができる。72は本発明によるMOS型リングオシレータで、その制御入力(遅延素子のゲート回路)に前記フォトセル71により得られた信号電圧を印加すれば、光

#### 特開 昭55- 55621(3)

の強弱に応じた発振周波数のパルスが得られる。これを計数回路及び駆動回路73に接続して周波数パルス列をカウントし、その量に応じて液晶等の表示素子74を駆動し照射蓄積量を表示することができる。すなわち、発振周波数の制御範囲は太陽光線の強さの変化と同等の比で得られるため、出力表示には弱い光線の場合は発振周波数が小さいのでカウント数が遅く得られ、強い光線の照射の場合、には発振周波数が大きいのでカウント数表示は早く得られる。実際に、この太陽光紫外線の変化による発振周波数変化は大体4倍程度あれば充分である。計数表示駆動回路73は液晶等を表示する場合には、腕時計用に使用されている回路構成と同等のものでよい。実施例では出力表示方法としてデジタル表示で構成しているが、例えば、アナログバーグラフ表示でもよい。

更に、本発明の制御入力型リングオシレータはMOS型で構成することができるため、前述の計数表示回路と組合せて、腕時計用のCMOSと同様に1チップ型に構成することができる。

従来はこの様な場合、起電圧を周波数パルスに変換する場合、高価な $V/f$ (電圧-周波数)コンバータを使用しなければならず、又装置、形状電源等が大がかりで、超小型部品には適用できない欠点があった。本発明はこの点超小型の表示装置等の低電力駆動に最適である。

以上の説明では、リングカウンタの遅延素子としてMOSトランジスタを使用した場合について説明したが、バイポーラトランジスタを使用してもよい。この場合の制御入力はベース端子となり、このベースに流入する電流を制御することにより遅延素子の遅延伝搬時間を制御でき、これによりリングカウンタの発振周波数が制御される。

以上のように、本発明は奇数個のインバータを環状縦続接続したリングオシレータの縦続回路内に信号遅延素子、特にトランジスタを含む回路で構成された信号遅延素子を少なくとも1個挿入し、この信号遅延伝搬時間を制御し、これによりリングオシレータの発振周波数が制御され、電圧または電流量に応じた周波数の信号を非常に小型かつ安価に

提供することができる。特に、信号遅延素子をMOSトランジスタによる回路で構成すると、発振装置全体を1チップで構成することができ、又MOSトランジスタのゲートに加える制御信号を光電池による光起電圧とすれば、光の強弱に応じた周波数の信号を容易に発生させることができ、光の強弱を検知、利用する各種の装置に利用してきわめて有効である。

#### 4. 図面の簡単な説明

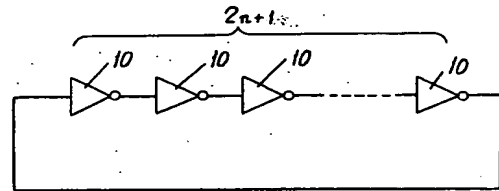
第1図は従来のリングオシレータの回路図、第2図および第3図はそれぞれ本発明による発振装置の実施例を示す回路図、第4図は本発明に使用される信号遅延素子の回路図、第5図は第4図に示した回路を利用した本発明による発振装置の特性図、第6図は本発明による発振装置の具体的回路図、第7図は本発明による発振装置の応用回路図である。

10.....インバータ、20, 1, 2, .....  
2n+1.....遅延素子、63~70.....MOS  
トランジスタ、71.....フォトセル、72.....

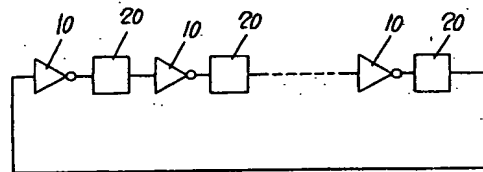
MOS型リングオシレータ、73.....計数駆動回路、74.....表示素子。

代理人の氏名 弁理士 中 尾 敏 男 氏が1名

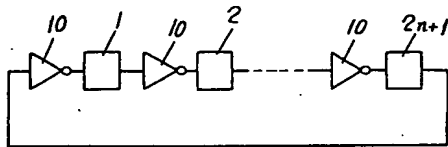
第 1 図



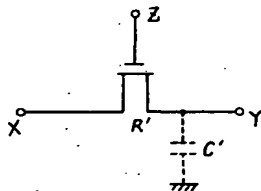
第 2 図



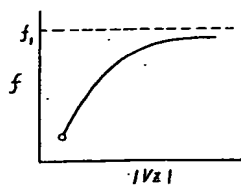
第 3 図



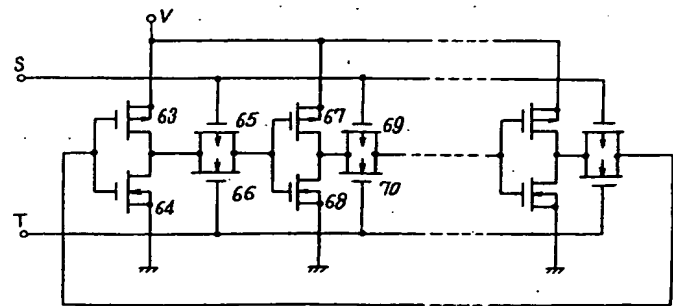
第 4 図



第 5 図



第 6 図



第 7 図

